

## 1:目的

論理回路を組み合わせて実現する「ゲート」という回路を理解する。

## 2:理論

論理回路とは、特定の入力に対して特定の出力を返す回路の事である。

尚、入力、出力は離散的であり、1・0、High・Low 等で区別する。

論理回路の代表的なものには、下記のような物がある。

名称	AND	OR	NOT	NAND	NOR	EX-OR
論理式	$x \cdot y$	$x + y$	$x$	$x \cdot y$	$x + y$	$x + y$
真理値表	0,0	0	0	1	1	0
	0,1	0	1	1	0	1
	1,0	0	1	0	0	1
	1,1	1	1	0	0	0

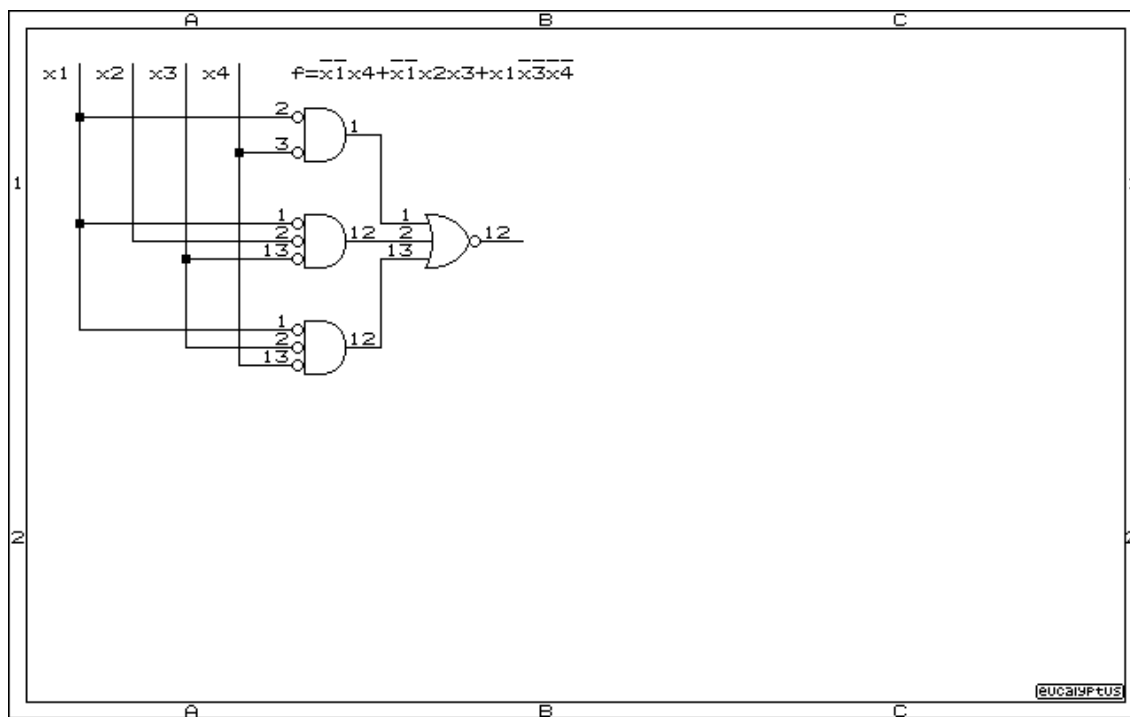
### 3:実験

#### [実験1]

$$f = \overline{x_1}x_4 + x_1\overline{x_2}x_3 + x_1x_3\overline{x_4}$$

を NAND のみで構成し、動作を確認する。

上記の式を回路にすると、下記のようになる。



これを excel の論理演算式に直すと、下記の様になる。

=OR(AND(NOT(A19),D19),AND(NOT(A19),B19,C19),AND(A19,NOT(C19),NOT(D19)))

上記の Excel 式を使って得られた真理値表を下記に示す。

x1	x2	x3	x4	f
0	0	0	0	FALSE
0	0	0	1	TRUE
0	0	1	0	FALSE
0	0	1	1	TRUE
0	1	0	0	FALSE
0	1	0	1	TRUE
0	1	1	0	TRUE
0	1	1	1	TRUE
1	0	0	0	TRUE
1	0	0	1	FALSE
1	0	1	0	FALSE
1	0	1	1	FALSE
1	1	0	0	TRUE
1	1	0	1	FALSE
1	1	1	0	FALSE
1	1	1	1	FALSE

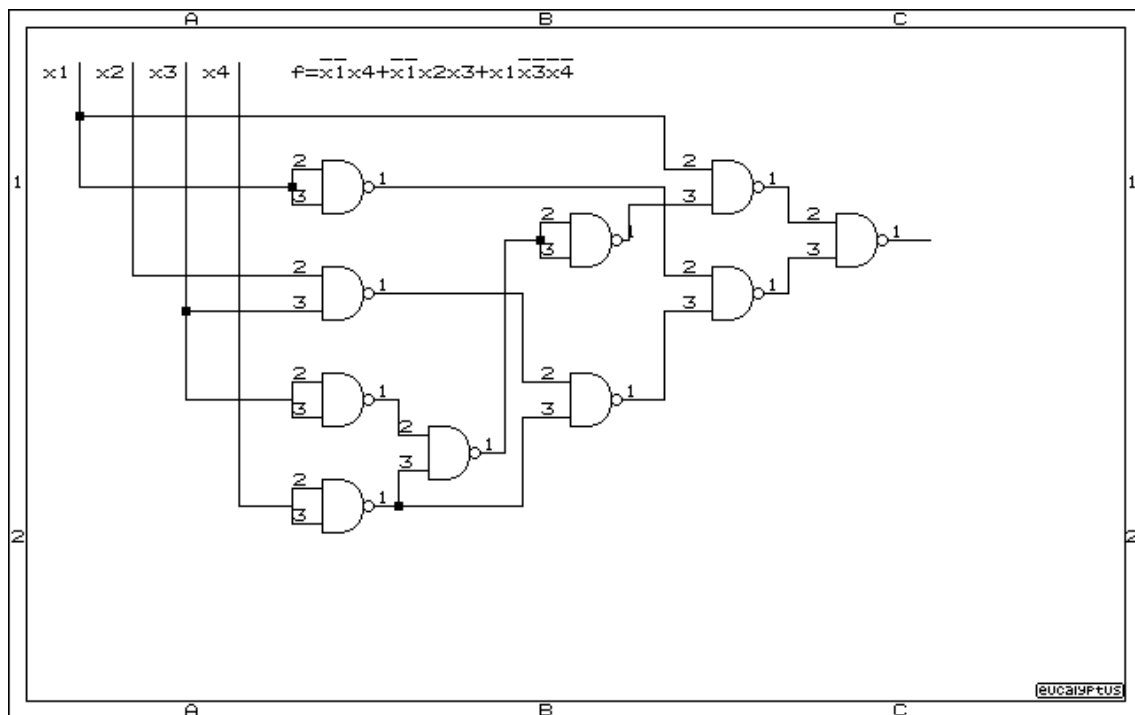
この真理値表を用いて、NAND 回路のみの構成にしてみた。

x	x	x	x	f	1	2	3	4	5	6	7	8	9	f
1	2	3	4											
0	0	0	0	FALSE	TRUE	TRUE	FALSE	TRUE	TRUE	TRUE	TRUE	FALSE	TRUE	FALSE
0	0	0	1	TRUE	FALSE	TRUE	TRUE	TRUE	FALSE	TRUE	TRUE	TRUE	FALSE	TRUE
0	0	1	0	FALSE	TRUE	FALSE	TRUE	TRUE	FALSE	TRUE	TRUE	FALSE	TRUE	FALSE
0	0	1	1	TRUE	FALSE	FALSE	TRUE	TRUE	FALSE	TRUE	TRUE	TRUE	FALSE	TRUE
0	1	0	0	FALSE	TRUE	TRUE	FALSE	TRUE	TRUE	TRUE	TRUE	FALSE	TRUE	FALSE
0	1	0	1	TRUE	FALSE	TRUE	TRUE	TRUE	FALSE	TRUE	TRUE	TRUE	FALSE	TRUE
0	1	1	0	TRUE	TRUE	FALSE	TRUE	TRUE	FALSE	FALSE	TRUE	TRUE	FALSE	TRUE
0	1	1	1	TRUE	FALSE	FALSE	TRUE	TRUE	FALSE	FALSE	TRUE	TRUE	FALSE	TRUE
1	0	0	0	TRUE	TRUE	TRUE	FALSE	FALSE	TRUE	TRUE	FALSE	FALSE	TRUE	TRUE
1	0	0	1	FALSE	FALSE	TRUE	TRUE	FALSE	FALSE	TRUE	TRUE	TRUE	TRUE	FALSE
1	0	1	0	FALSE	TRUE	FALSE	TRUE	FALSE	FALSE	TRUE	TRUE	FALSE	TRUE	FALSE
1	0	1	1	FALSE	FALSE	FALSE	TRUE	FALSE	FALSE	TRUE	TRUE	TRUE	TRUE	FALSE
1	1	0	0	TRUE	TRUE	TRUE	FALSE	FALSE	TRUE	TRUE	FALSE	FALSE	TRUE	TRUE
1	1	0	1	FALSE	FALSE	TRUE	TRUE	FALSE	FALSE	TRUE	TRUE	TRUE	TRUE	FALSE
1	1	1	0	FALSE	TRUE	FALSE	TRUE	FALSE	FALSE	FALSE	TRUE	TRUE	TRUE	FALSE
1	1	1	1	FALSE	FALSE	FALSE	TRUE	FALSE	FALSE	FALSE	TRUE	TRUE	TRUE	FALSE
				演算式:	NOT(X4)	NOT(X3)	NAND(1,2)	NOT(X1)	NOT(3)	NAND(X2,X3)	NAND(X1,5)	NAND(1,6)	NAND(4,8)	NAND(7,9)

網がけ部分の「f」が元々の演算式から求められた真理値表、そして右端の「f」が NAND 回路のみで形成されたゲートで求められた真理値表である。

演算式に「NOT」を使用しているが、これは「f=NAND(a1,a1)」で代用出来る為である。

前ページの真理値表より、回路を起こすと、次のようになる。



[実験2]

階段のスイッチを表現せよ。

階段のスイッチとは、複数のスイッチで単一の回路の ON/OFF ができる回路である。

これを真理値表で表すと…

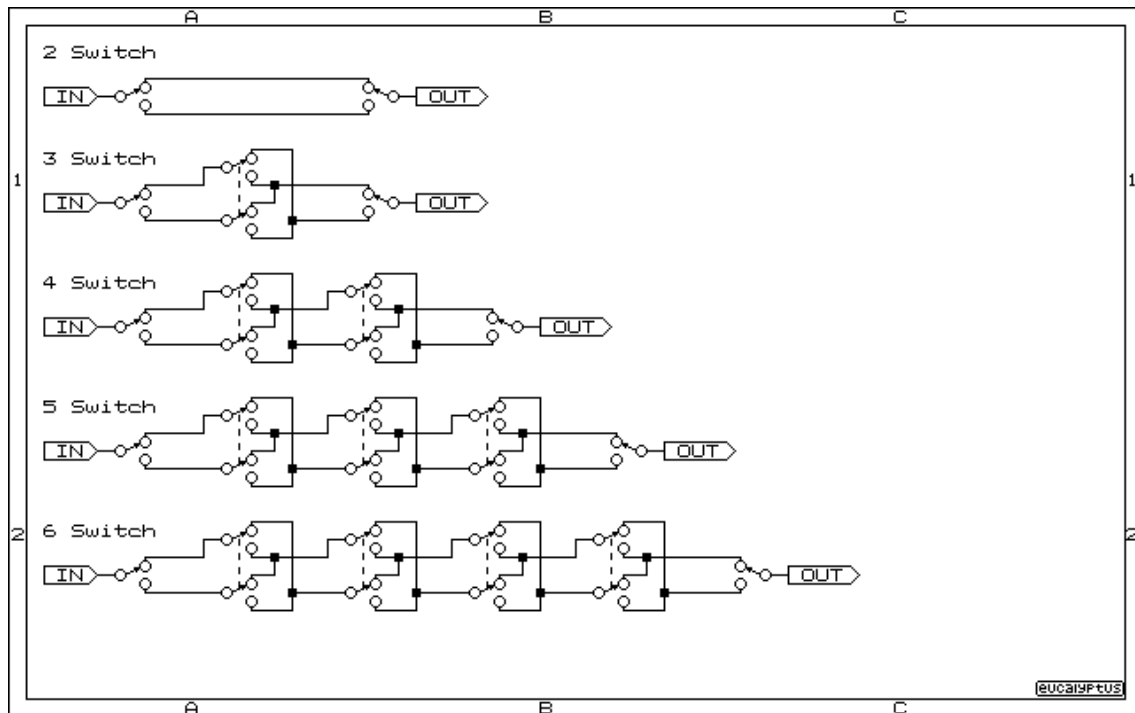
S0	S1	OUT
0	0	0
0	1	1
1	0	1
1	1	0

もしくは

S0	S1	OUT
0	0	1
0	1	0
1	0	0
1	1	1

となる。

スイッチが2～n個ある配線は、下記のようになる。



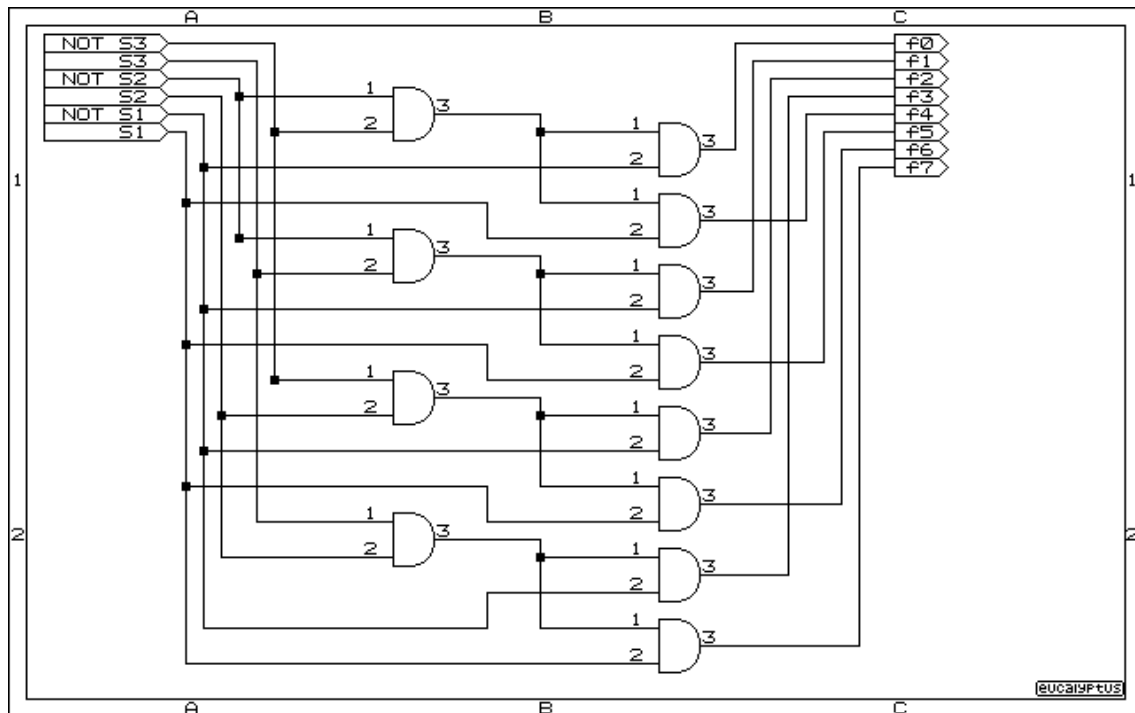
[実験3]

デコーダーを正理論で設計せよ

デコーダーの真理値表は、下記の通りである。

s1	s2	s3	f0	f1	f2	f3	f4	f5	f6	f7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

これを元に回路を起こすと、下記の様になる。



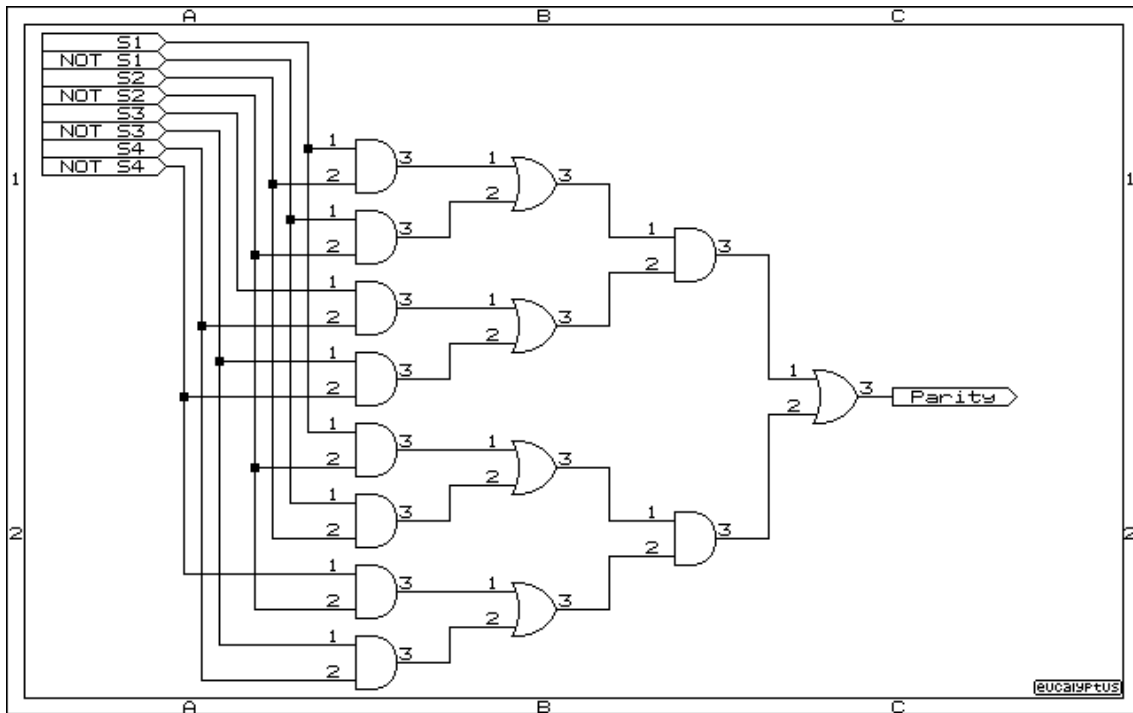
[実験 4]

パリティ発生回路を設計せよ

パリティ発生回路の真理値表は、下記のようになる

s1	s2	s3	s4	p
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

これを元に回路を起こすと、下記のようなになる。



#### 4: 考察

今回の実験では、単純な完全系に置き換えて回路を構築した。

しかし、今回製作した回路は、別の IC に置き換えられる物もある。

日立のホームページにて、論理 IC の一覧を入手したので、掲載しておく。

機能	形名	詳細機能	パッケージ			ピン数	
			DI P	SOP(E)	SOP(J)		
ゲート	0	Quad. 2-input NAND Gates	○	○	○	14	
	1	Quad. 2-input NAND Gates with Open Collector output	○	○	○	14	
	2	Quad. 2-input NOR Gates	○	○	○	14	
	3	Quad. 2-input NAND Gates with Open Collector output	○	○	—	14	
	4	Hex Inverters	○	○	○	14	
	5	Hex Inverters with Open Collector output	○	○	—	14	
	6	Hex Inverters Buffers/Drivers with Open Collector High-Voltage output	○	○	○	14	
	7	Hex Buffers/Drivers with Open Collector High-Voltage output	○	○	—	14	
	8	Quad. 2-input AND Gates	○	○	○	14	
	9	Quad. 2-input AND Gates with Open Collector output	○	○	○	14	
	10	Triple 3-input NAND Gates	○	○	○	14	
	11	Triple 3-input AND Gates	○	○	○	14	
	12	Triple 3-input NAND Gates with Open Collector output	○	○	—	14	
	13	Dual 4-input NAND Gates Schmitt Triggers	○	○	—	14	
	14	Hex Schmitt-trigger Inverters	○	○	○	14	
	15	Triple 3-input AND Gates with Open Collector output	○	○	—	14	
	20	Dual 4-input NAND Gates	○	○	○	14	
	21	Dual 4-input AND Gates	○	○	—	14	
	22	Dual 4-input NAND Gates with Open Collector output	○	○	—	14	
	26	Quad. 2-input High-Voltage Interface NAND Gates	○	○	—	14	
	27	Triple 3-input NOR Gates	○	○	—	14	
	30	8-input NAND Gate	○	○	○	14	
	32	Quad. 2-input OR Gates	○	○	○	14	
	37	Quad. 2-input NAND Buffers	○	○	○	14	
	38	Quad. 2-input NAND Buffers with Open Collector output	○	○	○	14	
	40	Dual 4-input NAND Buffers	○	○	—	14	
	51	2-wide 2-input, 2-wide 3-input AND-OR-INVERT Gates	○	○	○	14	
	54	4-wide 2-input, 3-input AND-OR-INVERT Gates	○	○	—	14	
	55	2-wide 4-input AND-OR-INVERT Gates	○	○	—	14	
	86	Quad. 2-input Exclusive-OR Gates	○	○	○	14	
	132	Quad. 2-input NAND Schmitt Triggers	○	○	○	14	
	136	Quad. 2-input Exclusive-OR Gates with Open Collector output	○	○	○	14	
	266	Quad. 2-input Exclusive-NOR Gates with Open Collector output	○	○	—	14	
	386	Quad. 2-input Exclusive-OR Gates	○	○	—	14	
	デコーダ/ セレクタ/ マルチプレクサ	42	BCD-to-Decimal Decoder	○	○	○	16
		138	3-to-8 line Decoder/Demultiplexer	○	○	○	16
		139	Dual 2 line-to-4 line Decoders/Demultiplexers	○	○	○	16
		145	BCD-to-Decimal Decoder/Driver with 15V outputs	○	○	—	16
148		8 line-to-3 line Octal Priority Encoder	○	○	—	16	
151		1-of-8 line Data Selector/Multiplexer with strobe	○	○	○	16	
152		1-of-8 line Data Selector/Multiplexer	○	○	—	14	
153		Dual 4 line-to-1 line Data Selectors/Multiplexers	○	○	○	16	
155		Dual 2 line-to-4 line Decoders/Demultiplexers	○	○	○	16	
156		Dual 2-to-4 line Decoders/Demultiplexers with Open Collector output	○	○	○	16	
157		Quad. 2 line-to-1 line Data Selector/Multiplexer with noninverted outputs	○	○	○	16	
158		Quad. 2 line-to-1 line Data Selectors/Multiplexers with inverted outputs	○	○	—	16	
251		1-of-8 Data Selector/Multiplexer with strobe and 3-state outputs	○	○	—	16	
253		Dual 4 line-to-1 line Data Selector/Multiplexer with 3-state outputs	○	○	—	16	
257		Quad. 2 line-to-1 line Data Selectors/Multiplexers with noninverted 3-state outputs	○	○	○	16	
258		Quad. 2-to-1 line Data Selectors/Multiplexers with inverted 3-state outputs	○	○	—	16	
298		Quad. 2-input Multiplexers with Storage	○	○	—	16	
レジスタファイル フリップフロップ/ ラッチ		170	4-by-4 Register File with Open Collector output	○	○	—	16
	73A	Dual J-K Flip-Flops with Clear	○	○	○	14	
	74A	Dual D-type Flip-Flops with Preset and Clear	○	○	○	14	
	75	Quad. Bistable Latches	○	○	—	16	
	76A	Dual J-K Flip-Flops with Preset and Clear	○	○	—	16	
	77	4-bit Bistable Latches	○	○	—	14	
	78A	Dual J-K Flip-Flops with Preset, Common Clear, and Common Clock	○	○	—	14	
	107A	Dual J-K Flip-Flops with Clear	○	○	—	14	
	109A	Dual J-K Flip-Flops with Preset and Clear	○	○	—	16	
	112	Dual J-K Flip-Flops with Preset and Clear	○	○	—	16	
	113	Dual J-K Flip-Flops with Preset	○	○	—	14	
	114	Dual J-K Flip-Flops with Preset, Common Clear, Common Clock	○	○	—	14	



	174	Hex D-type Flip-Flops with Clear	○	○	○	16
	175	Quad. D-type Flip-Flops with Clear	○	○	○	16
	259	8-bit Addressable Latch	○	○	—	16
	273	Octal D-type Edge-triggered Flip-Flops with Clear	○	○	○	20
	279	Quad. S-R Latches	○	○	—	16
	373	Octal D-type Transparent Latches with noninverted 3-state output	○	○	○	20
	374	Octal D-type Flip-Flops with noninverted 3-state output	○	○	○	20
	375	Quad. Bistable Latches	○	○	—	16
シフトレジスタ	91	8-bit Shift Register	○	○	—	14
	164	8-bit Parallel-out Serial-In Shift Register	○	○	○	14
	165A	Parallel-load 8-bit Shift Register	○	○	—	16
	166A	8-bit Shift Register	○	○	—	16
	194A	4-bit Bidirectional Universal Shift Register	○	○	—	16
	195A	4-bit Parallel-Access Shift Register	○	○	—	16
	299	4-bit Universal Shift/Storage Register with 3-state outputs	○	○	—	20
	670	4-by-4 Register File with 3-state outputs	○	○	—	16
カウンタ	92	Divide-by-Twelve Counter	○	○	—	14
	93	4-bit Binary Counter	○	○	—	14
	95B	4-bit Parallel Access Shift Register	○	○	—	14
	160A	Synchronous Decade Counter with Direct Clear	○	○	—	16
	161A	Synchronous 4-bit Binary Counter with Direct Clear	○	○	○	16
	162A	Synchronous Decade Counter with Synchronous Clear	○	○	—	16
	163A	Synchronous 4-bit Binary Counter with Synchronous Clear	○	○	○	16
	190	Synchronous Up/Down Decade Counter with Single Clock Line	○	○	—	16
	191	Synchronous Up/Down 4-bit Binary Counter with Single Clock Line	○	○	—	16
	192	Synchronous Up/Down Decade Counter with Dual Clock Lines	○	○	—	16
	193	Synchronous Up/Down 4-bit Binary Counter with Dual Clock Lines	○	○	—	16
	293	4-bit Binary Counter	○	○	—	14
	390	Dual Decade Counters	○	○	—	16
	393	Dual 4-bit Binary Counters	○	○	○	14
	668	Synchronous Up/Down Decade Counter	○	○	—	16
	669	Synchronous Up/Down 4-bit Binary Counter	○	○	—	16
マルチバイブレータ	122	Retriggerable Monostable Multivibrator with Clear	○	○	—	14
	123	Dual Retriggerable Monostable Multivibrators with Clear	○	○	○	16
	221	Dual Monostable Multivibrators	○	○	—	16
バスバッファ/ トランシーバ	125A	Quad. Bus Buffer Gates with 3-state outputs	○	○	○	14
	126A	Quad. Bus Buffer Gates with 3-state outputs	○	○	○	14
	240	Octal Buffers/Line Drivers/Line Receivers with inverted 3-state outputs	○	○	○	20
	241	Octal Buffers/Line Drivers/Line Receivers with non-inverted 3-state outputs	○	○	—	20
	242	Quad. Bus Transceivers with inverted 3-state outputs	○	○	—	14
	243	Quad. Bus Transceivers with non-inverted 3-state outputs	○	○	—	14
	244	Octal Buffers/Line Drivers/Line Receivers with non-inverted 3-state outputs	○	○	○	20
	245	Octal Bus Transceivers with 3-state outputs	○	○	○	20
	365A	Hex Bus Drivers with noninverted 3-state outputs	○	○	—	16
	366A	Hex Bus Drivers with inverted 3-state outputs	○	○	—	16
	367A	Hex Bus Drivers with noninverted 3-state outputs	○	○	○	16
	368A	Hex Bus Drivers with inverted 3-state outputs	○	○	—	16
	640	Octal Bus Transceivers with 3-state outputs	○	○	—	20
	640- 1	Octal Bus Transceivers with 3-state outputs	○	—	—	20
	641	Octal Bus Transceivers with non-inverted open-collector outputs	○	○	—	20
	641- 1	Octal Bus Transceivers with non-inverted open-collector outputs	○	—	—	20
	642	Octal Bus Transceivers with inverted open-collector outputs	○	○	—	20
	642- 1	Octal Bus Transceivers with inverted open-collector outputs	○	—	—	20
	645	Octal Bus Transceivers with non-inverted 3-state outputs	○	○	—	20
	645- 1	Octal Bus Transceivers with non-inverted 3-state outputs	○	—	—	20
アダー/ コンパレータ/ ジェネレータ/ ディバイダ	83A	4-bit Binary Full Adder with Fast Carry	○	○	—	16
	85	4-bit Magnitude Comparator	○	○	—	16
	280	9-bit Odd/Even Parity Generator/Checker	○	○	—	14
	283	4-bit Binary Full Adder	○	○	—	16
7セグメントドライ バ	47	BCD-to-Seven Segment Decode/Driver with 15V outputs	○	○	—	16
	48	BCD-to-Seven Segment Decode/Driver with Internal Pull-up outputs	○	○	—	14
	49	BCD-to-Seven Segment Decode/Driver with Open Collector outputs	○	○	—	14
	247	BCD-to-Seven Segment Decode/Driver with 15V outputs	○	○	—	16
	248	BCD-to-Seven Segment Decode/Driver with Internal Pull-up outputs	○	○	—	16
	249	BCD-to-Seven Segment Decode/Driver with Open Collector outputs	○	○	—	16

この中で、実験3のデコーダー、実験4のパリティについては、専用のロジック IC が存在することがわかった。  
次ページ以降に日立より転写したロジック IC の詳細を書いておく。